

JP 09131919 A

TITLE: TWO-DIMENTIONAL FACE LIGHT EMITTING ARRAY AND  
METHOD AND  
DEVICE FOR DRIVING THE SAME

PUBN-DATE: May 20, 1997

INVENTOR-INFORMATION:

NAME

YAMAMOTO, MASACHIKA

IWASA, IZUMI

OTAKE, SHIGEYUKI

SAKAMOTO, AKIRA

ASSIGNEE-INFORMATION:

NAME

COUNTRY

FUJI XEROX CO LTD

N/A

APPL-NO: JP07289569

APPL-DATE: November 8, 1995

INT-CL (IPC): B41J002/44, B41J002/45 , B41J002/455 , G09G003/32 , H04N005/66

ABSTRACT:

PROBLEM TO BE SOLVED: To shorten the time required to obtain the light-emitting pattern of one frame, by dividing at least one row wiring and one line wiring each into a plurality of groups.

SOLUTION: Wirings are divided into at least two groups, one is a group of first line wirings 107a and the other is a group of second line wirings 107b. Image data in different rows in one frame is supplied to the groups of line wirings 107a and 107b with one timing, and row signals are applied to row wirings 104 in the different rows, for example  $j=1$  and  $j=17$ , with the same timing. Here, the lines can be read into the rows, and the rows into the lines.

COPYRIGHT: (C)1997,JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-131919

(43)公開日 平成9年(1997)5月20日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
B 4 1 J	2/44		B 4 1 J 3/21	L
	2/45	4237-5H	G 0 9 G 3/32	
	2/455		H 0 4 N 5/66	Z
G 0 9 G	3/32			
H 0 4 N	5/66			

審査請求 未請求 請求項の数3 O L (全 23 頁)

(21)出願番号 特願平7-289569

(22)出願日 平成7年(1995)11月8日

(71)出願人 000005496

富士ゼロックス株式会社  
東京都港区赤坂二丁目17番22号

(72)発明者 山本 将央

神奈川県海老名市本郷2274番地 富士ゼロ  
ックス株式会社海老名事業所内

(72)発明者 岩佐 泉

神奈川県海老名市本郷2274番地 富士ゼロ  
ックス株式会社海老名事業所内

(72)発明者 大竹 茂行

神奈川県海老名市本郷2274番地 富士ゼロ  
ックス株式会社海老名事業所内

(74)代理人 弁理士 平田 忠雄

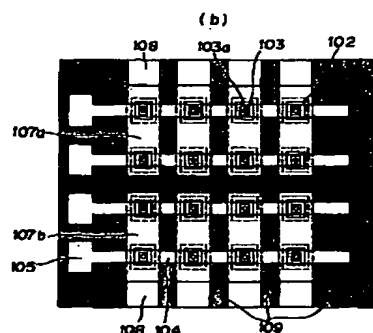
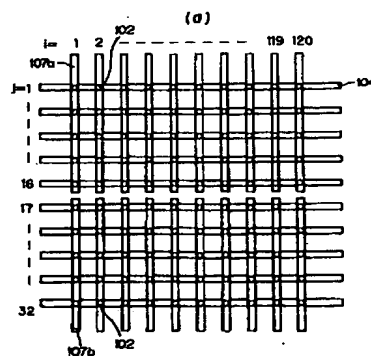
最終頁に続く

(54)【発明の名称】 二次元面発光素子アレイ、およびその駆動方法および駆動装置

(57)【要約】

【課題】 1タイミングにおいて列配線に一行分の画像データしか供給できなかったため、1フレームの発光パターンを得る所要時間を短縮することができず、また、所要時間を短くするために1タイミングの駆動素子数を大にすると、信号配線上の電力消費が大になって発熱量が増加する。

【解決手段】 少なくとも第1の列配線107aの群と、第2の列配線107bの2群に分割し、それぞれの群の列配線107a、107bに1フレーム内の異なった行の画像データを1タイミングで供給し、同一のタイミングでその異なった行の行配線104、例えば、j=1およびj=17の行配線104に行信号を印加する。ここで、列を行に、行を列に読み替えることができる。



## 1

## 【特許請求の範囲】

【請求項1】 並列に配置された複数の第1の信号配線群と、

並列に配置され、前記第1の信号配線群と交差する複数の第2の信号配線群と、

前記第1および第2の信号配線群の交点に位置し、アノードおよびカソードが前記第1および第2の信号配線群の各信号配線にそれぞれ接続された二次元面発光素子を備え、

前記第1および第2の信号配線群の少なくとも1つの信号配線群が少なくとも2群に分割されるための電氣的断続部を有する構成を備えたことを特徴とする二次元面発光素子アレイ。

【請求項2】 二次元面発光素子アレイの列あるいは行配線群を少なくとも2群に分割して複数の分割列あるいは行配線群を提供し、

前記複数の分割列あるいは行配線群に発光パターンを少なくとも2つに分割した複数の分割発光パターンのデータを並列に供給し、

前記データが前記複数の分割列あるいは行配線群に供給されているとき、前記複数の分割列あるいは行配線群に対応する複数の行あるいは列配線群からそれぞれ選択された1本ずつの配線に配線信号を供給することを特徴とする二次元面発光素子アレイの駆動方法。

【請求項3】 列あるいは行配線群を少なくとも2群に分割した複数の分割列あるいは行配線群を有する二次元面発光素子アレイと、

前記複数の分割列あるいは行配線群に対応し、前記複数の分割列あるいは行配線群を発光パターンに応じて駆動する複数のドライバー回路と、

前記複数の分割列あるいは行配線群に対応した複数の行あるいは列配線群から各1本ずつの配線を順に選択する複数のセレクター回路を備えたことを特徴とする二次元面発光素子アレイの駆動装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は二次元面発光素子アレイ、およびその駆動方法および装置に関し、特に1フレームのパターン発光の所要時間を短縮し、かつ、信号配線上の消費電力を減少して発熱を抑えたマトリックス配線の二次元面発光素子アレイ、およびその駆動方法および駆動装置に関する。

## 【0002】

【従来の技術】従来のマトリックス配線の二次元面発光素子アレイとして、例えば、1994年発行のホトニクステクノロジーレターズ(PHOTONICS TECHNOLOGY LETTERS)の第6巻、913ページより917ページに発表された二次元面発光レーザーアレイがある。図11は、この二次元面発光レーザーアレイを示し、半絶縁性の半導体基板101上に二次元

## 2

アレイ状に配列された垂直共振器型の面発光半導体レーザー102を有する。面発光半導体レーザー102は、開口103aを有するアノード電極103を有し、開口103aを有するアノード電極103は絶縁膜106上にあって端部に行パッド105を有した行配線104に接続されている。カソード電極は半導体基板101上にある列配線107に接続され列配線107は列パッド108に接続されている。アレイ状に配列された二次元面発光レーザー102の各列はイオン注入によって形成された高抵抗層109によって絶縁分離されている。

【0003】以上の構成において、行配線104を順番にクロック信号に基づいて選択し、これに同期して列配線107に画像データに応じた電圧を印加すると、画像信号に応じた発光パターンを得ることができる。

【0004】図12は、 $n \times m$  ( $32 \times 120 = 3840$ )の二次元面発光レーザー102を有したマトリックス配線の二次元面発光レーザーアレイを示し、32本の行配線104と120本の列配線107の交点に3840個の二次元面発光レーザー102が配置されている。

【0005】図13はこの二次元面発光レーザーアレイをパターン発光させる駆動装置を示し、クロック10に基づいて画像データ16をシリアルに同時に入力する12個の第1のシフトレジスター11と、ラッチ信号17に基づいて第1のシフトレジスター11から画像データをパラレルに同時に入力する12個のラッチ回路12と、電源 $V_{ss}$ に接続され、ラッチ回路12にラッチされた画像データに応じて対応する10本の列配線107に駆動信号を出力する12個のドライバー13と、クロック10に基づいて転送信号18をシフトする第2のシフトレジスター14と、電源 $V_{cc}$ に接続され、第2のシフトレジスタ14における転送信号18のシフト位置に基づいて1本の行配線104を選択するセレクター15と、行配線104と列配線107の交点に配置され、抵抗 $R$ とレーザーLDによって表示されている3840個の二次元面発光レーザー102を有する。

【0006】図14はこの二次元面発光レーザーアレイを駆動する動作タイミングを示し、10個のクロック10によって12個の第1のシフトレジスター11に10ビットの画像データ16が同時に入力する。従って、合計120ビットの画像データ16が120本の列配線107に割り当てられる。次に、ラッチ信号17によって画像データ16がラッチ回路12にラッチされる。ラッチ信号17と同じタイミングで転送信号18が出力されて第2のシフトレジスター14に供給される。転送信号18が第2のシフトレジスター14の第1ビットの位置にいたとき、セレクター15は $j=1$ の行配線104に選択信号を出力して選択する。このとき、ドライバー13は12個のラッチ回路12にラッチされている画像データ16に応じて $i=1$ より $i=120$ までの列配線107に駆動信号を出力する。この結果、 $j=1$ の行配線1

## 3

04上で、列配線107を介して「1」の駆動信号を受けた二次元面発光レーザ102は発光し、「0」の駆動信号を受けた二次元面発光レーザ102は発光しない。この時限は20nsである。

【0007】次に、転送信号18は第2のシフトレジスタ14の第2ビットの位置へシフトする。同時に第1のシフトレジスタ11に次の120ビットの画像データ16が入力し、ラッチ回路12にラッチされる。従って、セレクトア15はj=2の行配線104を選択し、ドライバー13はその行配線104上の二次元面発光レーザ102を画像データ16に応じて発光させる。このようにして、j=1よりj=32までの行配線104が順に選択されることにより1フレームの発光パターンの表示が終了する。

【0008】以上の動作では、120個の二次元面発光レーザ102が20nsの時限の時分割で順に駆動されるので、1フレームの発光パターンを得るのに要する時間Tは、

$$T = 3840 \text{ 個} \times 20 \text{ ns} / 120 \text{ 個} \\ = 640 \text{ ns}$$

となる。

【0009】図15は図12に示した二次元面発光レーザアレイを駆動してパターン発光させる他の駆動装置を示している。この駆動装置は図13の駆動装置と共通するが、列配線107を分割駆動するため、クロック10に基づいて第2の転送信号20をシフトする第3のシフトレジスタ19と、分割駆動のパターンで配置され、第3のシフトレジスタ19の出力とラッチ回路12の出力の論理積を行ってドライバー13に出力するAND回路21を有する構成において相違する。

【0010】図16は図12の二次元面発光レーザアレイを図15の駆動装置で駆動する動作タイミングを示す。まず、j=1の行配線104が200nsの時限にわたって選択される。この時限において、i=1~120の列配線107が、転送信号20の第3のシフトレジスタ19内のシフト位置に基づいて10群に、即ち、i=1, 11, ..., 111, i=2, 12, ..., 112, ..., i=10, 20, ..., 120の12個の二次元面発光レーザ102の群に分割され、各群が20nsの時限にわたって駆動される。次に、j=2の行配線104が選択され、同じように列配線107が分割駆動される。このようにして、j=32までの行配線104が順に選択され、各行配線104の選択において、列配線107の分割駆動に基づいて二次元面発光レーザ102の分割駆動が行われる。これによって1フレームのパターン発光が行われる。

【0011】以上の動作では、各行配線104において、12個の二次元面発光レーザ102をそれぞれ有する10群に分割されて駆動されるので、1フレームの発光パターンを得るのに要する時間Tは、

## 4

$$T = 3840 \text{ 個} \times 20 \text{ ns} / 12 \text{ 個} \\ = 6.4 \mu \text{ s}$$

となる。

【0012】図17は図12に示した二次元面発光レーザアレイを駆動してパターン発光させる他の駆動装置を示している。この駆動装置は図15の駆動装置と共通するが、クロック10に基づいて第2の転送信号20をシフトする第3のシフトレジスタ19と、分割駆動のパターンで配置され、第3のシフトレジスタ19の出力とラッチ回路12の出力の論理積を行ってドライバー13に出力するAND回路21を有する構成を有し、この構成によって、j=1~32の各行配線104の選択において、i=1~120の列配線107が120に分割されて二次元面発光レーザ102を1個ずつ駆動する構成において相違する。

【0013】図18は図12の二次元面発光レーザアレイを図17の駆動装置で駆動する動作タイミングを示す。まず、j=1の行配線104が2400nsの時限にわたって選択される。この時限において、i=1~120の列配線107が、転送信号20の第3のシフトレジスタ19内のシフト位置に基づいて120組、即ち、i=1, i=2, ..., i=120の1個の二次元面発光レーザ102に分割され、それぞれ20nsの時限にわたって駆動される。次に、j=2の行配線104が選択され、同じように列配線107が駆動される。このようにして、j=32までの行配線104が順に選択され、各行配線104の選択において、列配線107の分割駆動に基づいて二次元面発光レーザ102の分割駆動が行われる。これによって1フレームのパターン発光が行われる。

【0014】以上の動作では、1個の二次元面発光レーザ102を順に駆動するので、1フレームの発光パターンを得るのに要する時間Tは、

$$T = 3840 \text{ 個} \times 20 \text{ ns} / 1 \text{ 個} \\ = 76.8 \mu \text{ s}$$

となる。

## 【0015】

【発明が解決しようとする課題】しかし、従来のマトリックス二次元面発光レーザアレイによると、図13の駆動装置によって駆動するときには、選択された行配線に対して全ての二次元面発光レーザが同時に駆動されることになるので、近接するレーザ素子の発熱が影響して素子特性を劣化させる。これを防ぐために、図15および図17の駆動装置によって分割駆動すると、時分割で駆動される二次元面発光レーザの個数が減少して1フレームの所要時間が長くなる。また、行配線および列配線で消費される電力は、時分割で駆動される二次元面発光レーザの個数と列配線の抵抗値の積と、その個数の2乗値と行配線の抵抗値の積との和に応じた値になるので、高密度化にともなって電力消費の減少および発熱の制御に

限界が生じる。

【0016】従って、本発明の目的は1フレームのパターン発光の所要時間を短縮する二次元面発光素子アレイ、およびその駆動方法および駆動装置を提供することにある。

【0017】本発明の他の目的は信号配線上で消費される電力を低減する二次元面発光素子アレイ、およびその駆動方法および駆動装置を提供することにある。

【0018】

【課題を解決するための手段】本発明は、上記の目的を実現するための、第1の特徴として、並列に配置された複数の第1の信号配線群と、並列に配置され、前記第1の信号配線群と交差する複数の第2の信号配線群と、前記第1および第2の信号配線群の交点に位置し、アノードおよびカソードが前記第1および第2の信号配線群の各信号配線にそれぞれ接続された二次元面発光素子を備え、前記第1および第2の信号配線群の少なくとも1つの信号配線群が少なくとも2群に分割されるための電気的断続部を有する構成を備えたことを特徴とする二次元面発光素子アレイを提供する。

【0019】本発明は、上記の目的を実現するため、第2の特徴として、二次元面発光素子アレイの列あるいは行配線群を少なくとも2群に分割して複数の分割列あるいは行配線群を提供し、前記複数の分割列あるいは行配線群に発光パターンを少なくとも2つに分割した複数の分割発光パターンのデータを並列に供給し、前記データが前記複数の分割列あるいは行配線群に供給されているとき、前記複数の分割列あるいは行配線群に対応する複数の行あるいは列配線群からそれぞれ選択された1本ずつの配線に配線信号を供給することを特徴とする二次元面発光素子アレイの駆動方法を提供する。

【0020】本発明は、上記の目的を実現するため、第3の特徴として、列あるいは行配線群を少なくとも2群に分割した複数の分割列あるいは行配線群を有する二次元面発光素子アレイと、前記複数の分割列あるいは行配線群に対応し、前記複数の分割列あるいは行配線群を発光パターンに応じて駆動する複数のドライバー回路と、前記複数の分割列あるいは行配線群に対応した複数の行あるいは列配線群から各1本ずつの配線を順に選択する複数のセレクター回路を備えたことを特徴とする二次元面発光素子アレイの駆動装置を提供する。

【0021】

【発明の実施の形態】図1(a)は本発明の第1の実施の形態におけるマトリクス配線の二次元面発光素子レーザアレイを示し、32本( $j=1\sim 32$ )の行配線104と、各120本( $i=1\sim 120$ )の列配線107a、107bを有する。行配線104および列配線107a、107bは、それぞれ、中心の間隔が $150\mu\text{m}$ の間隔を有して交差するように並列に配置されており、その交点に二次元面発光レーザ102がマトリクス状に

配置され、そのアノード(図示せず)に行配線104が、カソード(図示せず)に列配線107a、107bが接続されている。列配線107aと列配線107bは、 $j=16$ と $j=17$ の行配線104の間で分割されている。二次元面発光レーザ102は $5\mu\text{m}$ のスポット径を有する。図1(b)は素子数を少なくして平面的に示し、図11と同一の部分は同一の引用数字で示したので重複する説明は省略するが、絶縁膜106が図示省略されている。

10 【0022】図2はこの二次元面発光素子レーザアレイをパターン発光させる駆動装置を示し、クロック10に基づいて画像データ16aをシリアルに同時に入力する12個の第1のシフトレジスター11aと、ラッチ信号17aに基づいて第1のシフトレジスター11aから画像データをパラレルに同時に入力する12個のラッチ回路12aと、電源 $V_{ss}$ に接続され、ラッチ回路12にラッチされた画像データに応じて対応する10本の列配線107aに駆動信号を出力する12個のドライバー13aと、クロック10に基づいて転送信号18aをシフトする第2のシフトレジスター14aと、電源 $V_{cc}$ に接続され、第2のシフトレジスター14aにおける転送信号18aのシフト位置に基づいて $j=1\sim 16$ の1本の行配線104を選択するセレクター15aと、 $j=1\sim 16$ の行配線104と列配線107aの交点に配置され、RとLDによって示されている1920個の二次元面発光レーザ102を有する。この駆動装置は、更に、クロック10に基づいて画像データ16bをシリアルに同時に入力する12個の第3のシフトレジスター11bと、ラッチ信号17bに基づいて第3のシフトレジスター11bから画像データをパラレルに同時に入力する12個のラッチ回路12bと、電源 $V_{ss}$ に接続され、ラッチ回路12bにラッチされた画像データに応じて対応する10本の列配線107bに駆動信号を出力する12個のドライバー13bと、クロック10に基づいて転送信号18bをシフトする第4のシフトレジスター14bと、電源 $V_{cc}$ に接続され、第4のシフトレジスター14bにおける転送信号18bのシフト位置に基づいて $j=17\sim 32$ の1本の行配線104を選択するセレクター15bと、 $j=17\sim 32$ の行配線104と列配線107bの交点に配置された1920個の二次元面発光レーザ102を有する。

50 【0023】図3は図1の二次元面発光レーザアレイを駆動する動作タイミングを示し、1個のクロック10によって各12個の第1および第3のシフトレジスター11a、11bに各10ビットの画像データ16a、16bが同時に入力する。従って、合計各120ビットの画像データ16a、16bが各120本の列配線107a、107bに割り当てられる。次に、ラッチ信号17a、17bによって画像データ16a、16bがラッチ回路12a、12bにラッチされる。ラッチ信号17

a、17bと同じタイミングで供給された転送信号18a、18bが第2および第4のシフトレジスタ14a、14bの第1ビットの位置にいますとき、セクター15a、15bはj=1の行配線104とj=17の行配線104に選択信号を出力して選択する。このとき、ドライバー13a、13bは各12個のラッチ回路12a、12bにラッチされている画像データ16a、16bに応じてi=1よりi=120までの列配線107a、107bに駆動信号を出力する。この結果、j=1およびj=17の行配線104上で、列配線107a、107bを介して「1」の駆動信号を受けた二次元面発光レーザ102は発光し、「0」の駆動信号を受けた二次元面発光レーザ102は発光しない。この駆動時限が20nsである。

【0024】次に、転送信号18a、18bは第2および第4のシフトレジスタ14a、14bの第2ビットの位置へシフトする。同時に第1および第3のシフトレジスタ11a、11bに次の各120ビットの画像データ16a、16bが入力し、ラッチ回路12a、12bにラッチされる。従って、セクター15a、15bはj=2およびj=18の行配線104を選択し、ドライバー13a、13bはその行配線104上の二次元面発光レーザ102を画像データ16a、16bに応じて発光させる。このようにして、j=1よりj=16、およびj=17よりj=32までの行配線104が順に選択されることにより1フレームの発光パターンの表示が終了する。

【0025】以上の動作では、 $120 \times 2 = 240$ 個の二次元面発光レーザ102が20nsの時限の時分割で順に駆動されるので、1フレームの発光パターンを得るのに要する時間Tは、  

$$T = 3840 \text{ 個} \times 20 \text{ ns} / 240 \text{ 個}$$

$$= 320 \text{ ns}$$
となる。

【0026】図4は、図2の駆動装置において、列配線107a、107bを12本ずつ選択するシフトレジスタとAND回路の組み合わせ（図15に示したシフトレジスタ19とAND回路21の組み合わせ）をドライバー13a、13bの前段に付加した駆動装置の動作タイミングを示している。まず、j=1およびj=17の行配線104の選択において、転送信号20によってi=1、11、・・・、111の10列おきの列配線107a、107bを選択して24個の二次元面発光レーザ102を駆動する。次に、転送信号20のシフトレジスタ内のシフトによってi=2、12、・・・、112の列配線107a、107bから順にi=10、20、・・・、120までの列配線107a、107bを選択して各24個の二次元面発光レーザ102を駆動する。以下、j=16およびj=32の行配線104の選択まで同じ動作が行われる。

【0027】以上の動作では、 $12 \times 2 = 24$ 個の二次元面発光レーザ102が20nsの時限の時分割で順に駆動されるので、1フレームの発光パターンを得るのに要する時間Tは、

$$T = 3840 \text{ 個} \times 20 \text{ ns} / 24 \text{ 個}$$

$$= 3,200 \text{ ns} = 3.2 \mu \text{ s}$$
となる。

【0028】図5は、図2の駆動装置において、列配線107a、107bを1本ずつ選択するシフトレジスタとAND回路の組み合わせ（図17に示したシフトレジスタ19とAND回路21の組み合わせ）をドライバー13a、13bの前段に付加した駆動装置の動作タイミングを示している。まず、転送信号20によってi=1の列配線107a、107bを選択して2個の二次元面発光レーザ102を駆動する。次に、転送信号20のシフトレジスタ内のシフトによってi=2の列配線107a、107bから順にi=120までの列配線107a、107bを選択して各2個の二次元面発光レーザ102を駆動する。行配線104の選択は図4と同じである。

【0029】以上の動作では、2個の二次元面発光レーザ102が20nsの時限の時分割で順に駆動されるので、1フレームの発光パターンを行うのに要する時間Tは、  

$$T = 3840 \text{ 個} \times 20 \text{ ns} / 2 \text{ 個}$$

$$= 38,400 \text{ ns} = 38.4 \mu \text{ s}$$
となる。

【0030】図1に示した二次元面発光レーザアレイを図3、図4、および図5の動作タイミングで示した駆動方法で駆動すると、列配線107a、107bを2分割したので、1フレーム発光パターンの所要時間Tは、列配線を分割しないときに比較して何れも1/2になる。

【0031】図6(a)は本発明の第2の実施の形態におけるマトリクス配線の二次元面発光レーザアレイを示し、各32本(j=1~32)の行配線104a、104bと、各120本(i=1~120)の列配線107a、107bによって4分割された構成を有する。行配線104a、104bおよび列配線107a、107bは、それぞれ、中心の間隔が150μmの間隔を有して交差するように並列に配置れており、その交点に二次元面発光レーザ102がマトリクス状に配置されている。行配線104a、104bは二次元面発光レーザ102のアノード（図示せず）に、列配線107a、107bはそのカソード（図示せず）に接続されており、二次元面発光レーザ102は5μmのスポット径を有する。図6(b)は素子数を少なくして平面的に示し、図1(b)と同一の部分は同一の引用数字で示したので重複する説明は省略する。

【0032】図7は図6の二次元面発光レーザを駆動してパターン発光させる駆動装置を示している。この駆動

装置は共通のクロック10によって動作する4組の駆動回路により構成されており、各駆動回路は図13の駆動回路と共通し、クロック10に基づいて画像データ16a~16dをシリアルに同時に入力する各6個の第1より第4のシフトレジスタ11a~11dと、ラッチ信号17a~17dに基づいて第1より第4のシフトレジスタ11a~11dから画像データをパラレルに同時に入力する各6個のラッチ回路12a~12dと、電源Vssに接続され、ラッチ回路12にラッチされた画像データに応じて対応する各10本の列配線107a、107bに駆動信号を出力する各6個のドライバー13a~13dと、クロック10に基づいて転送信号18a~18dをシフトする第5より第8のシフトレジスタ14a~14dと、電源Vccに接続され、第5より第8のシフトレジスタ14a~14dにおける転送信号18a~18dのシフト位置に基づいて各1本の行配線104a、104bを選択するセレクター15a~15dと、行配線104a、104bと列配線107a、107bの交点に配置された二次元面発光レーザ102を有する。

【0033】図8は図6の二次元面発光レーザアレイを駆動する動作タイミングを示し、1個のクロック10によって各6個の第1より第4のシフトレジスタ11a~11dに10ビットの画像データ16a~16dが同時に入力する。従って、合計各60ビットの画像データ16a~16dが各120本の列配線107a、107bに割り当てられる。次に、ラッチ信号17a~17dによって画像データ16a~16dがラッチ回路12a~12dにラッチされる。ラッチ信号17a~17dと同じタイミングで転送信号18a~18dが出力されて第5より第8のシフトレジスタ14a~14dに供給される。転送信号18a、18bが第5および第6のシフトレジスタ14a、14bの第1ビットの位置にいるとき、および転送信号18c、18dが第7および第8のシフトレジスタ14c、14dの第9ビットの位置にいるとき、セレクター15a~15dはj=1およびj=17の行配線104a、およびj=9およびj=25の行配線104bに選択信号を出力して選択する。このとき、ドライバー13a~13dは各6個のラッチ回路12a~12dにラッチされている画像データ16a~16dに応じてi=1よりi=120までの列配線107a、107bに駆動信号を出力する。この結果、j=1およびj=17の行配線104a、およびj=9およびj=25の行配線104b上で、列配線107a、107bを介して「1」の駆動信号をうけた二次元面発光レーザ102は発光し、「0」の駆動信号をうけた二次元面発光レーザ102は発光しない。この駆動時間Tが20nsである。

【0034】次に、転送信号18a、18bは第5および第6のシフトレジスタ14a、14bの第2ビット

の位置へシフトし、転送信号18c、18dが第7および第8のシフトレジスタ14c、14dの第10ビットの位置へシフトする。同時に第1より第4のシフトレジスタ11a~11dに次の各60ビットの画像データ16a~16dが入力し、ラッチ回路12a~12dにラッチされる。従って、セレクター15a、15bはj=2およびj=18の行配線104aを、セレクター15c、15dはj=10およびj=26の行配線104bを選択し、ドライバー13a~13dはその行配線104a、104b上の二次元面発光レーザ102を画像データ16a~16dに応じて発光させる。このようにして、タイミングチャートに示すように駆動されることにより1フレームの発光パターンの表示が終了する。

【0035】以上の動作は、240個の二次元面発光レーザ102が20nsの時限の時分割で順に駆動されるので、1フレームの発光パターンを得るのに要する時間Tは、

$$T = 3840 \text{ 個} \times 20 \text{ ns} / 240 \text{ 個} = 320 \text{ ns}$$

となる。

【0036】図9は、図7の駆動装置において、列配線107a、107bを4群の各群で6本ずつ選択するシフトレジスタとAND回路の組み合わせ（図15に示したシフトレジスタ19とAND回路21の組み合わせ）をドライバー13a~13dの前後に付加した駆動装置の動作タイミングを示している。まず、j=1と17の2本の行配線104aと、j=9と25の行配線104bに同時に信号を印加し、これに同期して10列おきのi=1、11、・・・、111の列配線107aと1070bに同時に独立したバイアス電圧を印加することで、4本の行配線上の24個の二次元面発光レーザ102を同時に独立に駆動する。以下順番にi=2、12、・・・112からi=10、20、・・・120までバイアス電圧を印加する。この駆動手順を4本の行配線j=2と18の行配線104aとj=10と26の行配線104bからj=8と24の行配線とj=16と32の行配線104bまで順番に行い、更に、同様の手順をj=1と17の行配線104bとj=9と25の行配線104aから行配線j=8と24の行配線104bとj=16と32の行配線104aまで順番に行うことで所定の発光パターンが得られる。

【0037】以上の動作では、6×4=24個の二次元面発光レーザ102が20nsの時限の時分割で順に駆動されるので、1フレームの発光パターンを得るのに要する時間Tは、

$$T = 3840 \text{ 個} \times 20 \text{ ns} / 24 \text{ 個} = 3200 \text{ ns} = 3.2 \mu \text{ s}$$

となる。

【0038】図10は、図7の駆動装置において、列配線107a、107bを1本ずつ選択するシフトレジスタ

ターとAND回路の組み合わせ(図17に示したシフトレジスタ19とAND回路21の組み合わせ)をドライバ13a~13dの前段に付加した駆動装置の動作タイミングを示している。まず、 $j=1$ と17の2本の行配線104aと、 $j=9$ と25の行配線104bに同時に信号を印加し、これに同期して $i=1$ と61の列配線107aと107bに同時に独立したバイアス電圧を印加することで、4個の二次元面発光レーザ102を同時に独立に駆動する。以下順番に $i=2$ と62から $i=60$ と120までバイアス電圧を印加する。この駆動手順を4本の行配線 $j=2$ と18の行配線104aと、 $j=10$ と26の行配線104bから $j=8$ と24の行配線104aと、 $j=16$ と32の行配線104bまで順番に行い、更に、同様の手順を $j=1$ と17の行配線104bと $j=9$ と25の行配線104aから行配線 $j=8$ と24の行配線104bと $j=16$ と32の行配線104aまで順番に行うことで所定の発光パターンが得られる。

【0039】以上の動作では、4個の二次元面発光レーザ102が20nsの時限の時分割で順に駆動されるので、1フレームの発光パターンを得るのに要する時間Tは、

$$T = 3840 \text{ 個} \times 20 \text{ ns} / 4 \text{ 個} \\ = 19,200 \text{ ns} = 19.2 \mu \text{ s}$$

となる。図6に示した二次元面発光レーザアレイを図8、9、10の動作タイミングで示した駆動方法で駆動すると、1フレームの発光パターンの所要時間Tは配線を分割しないときに比較して、図8、9では1/2、図10では1/4になる。

【0040】次に、行配線および列配線の発熱を検討する。

(1) 図12の従来の二次元面発光レーザアレイの1本の列配線107の抵抗を $R_1$ 、1本の行配線104の抵抗を $R_2$ 、1つの二次元面発光レーザ102の動作電流を $I$ 、1本の行配線104上で駆動される二次元面発光レーザ102の数を $p$ 、および、同時に駆動する素子の数を $p'$ とする。

(イ) 列配線107の消費電力 $W_1$

$$W_1 = p I^2 R_1$$

(ロ) 行配線104の消費電力 $W_2$

$$W_2 = (p I)^2 \cdot R_2$$

(ハ) 消費電力 $W_1$ と $W_2$ の和 $W$

$$W = p I^2 R_1 + (p I)^2 \cdot R_2$$

ここで、図14のような駆動方法では、 $p = p' = 120$ となり、

$$W = 120 I^2 R_1 + (120 I)^2 \cdot R_2$$

(2) 図1の本発明の二次元面発光レーザアレイ

$p' = 120$ 個の素子を図4の駆動方法で2群の各群で60個の面発光レーザを同時に駆動すると $p = 60$ となる。

(イ) 列配線107a、107bの消費電力 $W_1$

$$W_1 = 2 \times 60 \times I^2 \times R_1 / 2$$

(ロ) 行配線104の消費電力 $W_2$

2本の行配線104に同時に電流が流れるので

$$W_2 = 2 \times (60 \times I)^2 \times R_2$$

(ハ) 消費電力 $W_1$ と $W_2$ の和 $W$

$$W = 120 I^2 \times R_1 / 2 + (120 I)^2 \times R_2 / 2$$

以上により、同じ素子数を同時に駆動する場合でも、上記(1)の従来の二次元面発光レーザアレイの消費電力に比較して1/2になる。

(3) 図6の本発明の二次元面発光レーザアレイ

(a) 図8の駆動方法によると、 $p' = 240$ 、 $p = 60$ となる。

$$W = W_1 + W_2$$

$$= 240 I^2 \times R_1 / 2 + 4 \times (60 I)^2 \times R_2 / 2$$

$$= 120 I^2 \times R_1 + (120 I)^2 \times R_2 / 2$$

以上より、同時に駆動する素子の数が倍増しても上記

(1)の従来の二次元面発光レーザアレイの消費電力に比較して行配線による消費電力が1/2になる。

(b) 図9の駆動方法において、4群の各群で30個の二次元面発光レーザを同時に駆動すると、 $p' = 120$ 、 $p = 30$ となる。

$$W = W_1 + W_2$$

$$= 120 I^2 \times R_1 / 2 + 4 \times (30 I)^2 \times R_2 / 2$$

$$= 120 I^2 \times R_1 / 2 + (120 I)^2 \times R_2 / 8$$

以上により、同時に駆動する素子の数が同じでも上記

(1)の従来の二次元面発光レーザアレイの消費電力に比較して列配線の消費電力が1/2になり、行配線による消費電力が1/8になる。

【0041】

【発明の効果】以上説明した通り、本発明のマトリックス配線の二次元面発光素子アレイによると、行配線と列配線の少なくとも1つの配線を複数の群に分割したので、1フレームの発光パターンを得るのに要する時間を短縮でき、かつ、配線による発熱を低減して二次元面発光素子の劣化を抑えることができる。

【0042】本発明のマトリックス配線の二次元面発光素子アレイの駆動方法および装置によると、二次元面発光素子を間隔的に離して駆動できるので、隣接する二次元面発光素子への発熱の影響を低減することができる。

【図面の簡単な説明】

【図1】(a)は本発明の第1の実施の形態におけるマトリックス配線の二次元面発光素子アレイを示す説明図。(b)はその平面図。

【図2】本発明の第1の実施の形態における二次元面発光素子アレイの駆動装置を示すブロック図。

【図3】本発明の第1の実施の形態における二次元面発光素子アレイの駆動方法を示すタイミングチャート(1行すべての素子を同時駆動)。

【図4】本発明の第1の実施の形態における二次元面発



13

光素子アレイの駆動方法を示すタイミングチャート（離れた素子を同時駆動）。

【図 5】本発明の第 1 の実施の形態における二次元面発光素子アレイの駆動方法を示すタイミングチャート（1 素子づつを駆動）。

【図 6】（a）は本発明の第 2 の実施の形態におけるマトリックス配線の二次元面発光素子アレイを示す説明図。（b）はその平面図。

【図 7】本発明の第 2 の実施の形態における二次元面発光素子アレイの駆動装置を示すブロック図。

【図 8】本発明の第 2 の実施の形態における二次元面発光素子アレイの駆動方法を示すタイミングチャート（1 行すべての素子を同時駆動）。

【図 9】本発明の第 2 の実施の形態における二次元面発光素子アレイの駆動方法を示すタイミングチャート（離れた素子を同時駆動）。

【図 10】本発明の第 2 の実施の形態における二次元面発光素子アレイの駆動方法を示すタイミングチャート（1 素子づつを駆動）。

【図 11】従来のマトリックス配線の二次元面発光レーザーアレイの斜視的な説明図。

【図 12】従来のマトリックス配線の二次元面発光レーザーアレイの平面的な説明図。

【図 13】従来のマトリックス配線の二次元面発光レーザーアレイの駆動装置を示すブロック図（1 行すべての素子を同時駆動）。

14

【図 14】従来のマトリックス配線の二次元面発光レーザーアレイの駆動方法を示すタイミングチャート（1 行すべての素子を同時駆動）。

【図 15】従来のマトリックス配線の二次元面発光レーザーアレイの駆動装置を示すブロック図（離れた素子を同時駆動）。

【図 16】従来のマトリックス配線の二次元面発光レーザーアレイの駆動方法を示すタイミングチャート（離れた素子を同時駆動）。

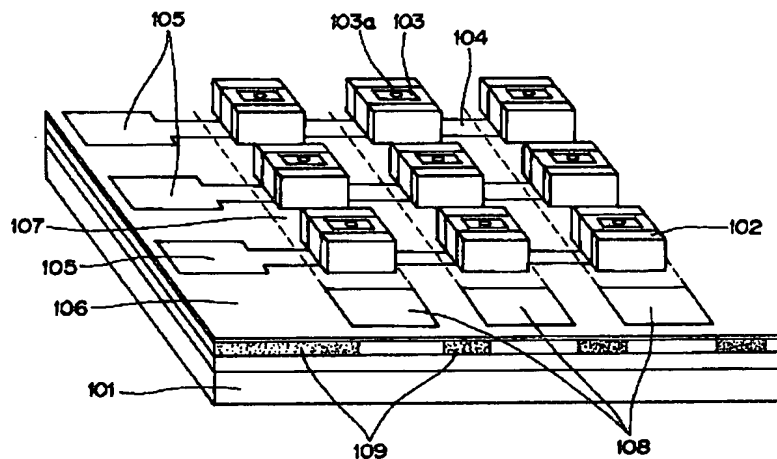
10 【図 17】従来のマトリックス配線の二次元面発光レーザーアレイの駆動装置を示すブロック図（1 素子づつを駆動）。

【図 18】従来のマトリックス配線の二次元面発光レーザーアレイの駆動方法を示すタイミングチャート（1 素子づつを駆動）。

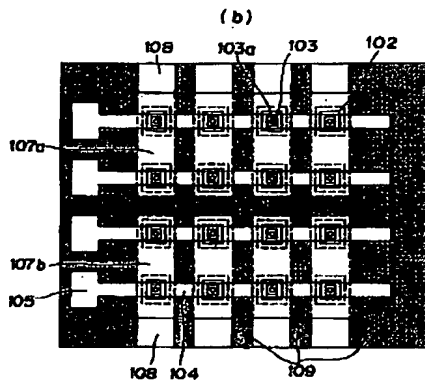
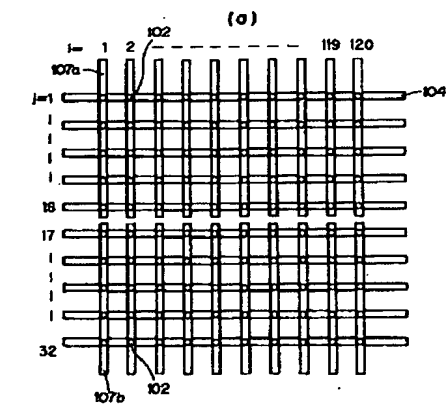
#### 【符号の説明】

101	半絶縁性の半導体基板
102	二次元面発光レーザー
103	アノード電極
104, 104a, 104b	行配線
105	行パッド
106	絶縁膜
107, 107a, 107b	列配線
108	列パッド
109	高抵抗層

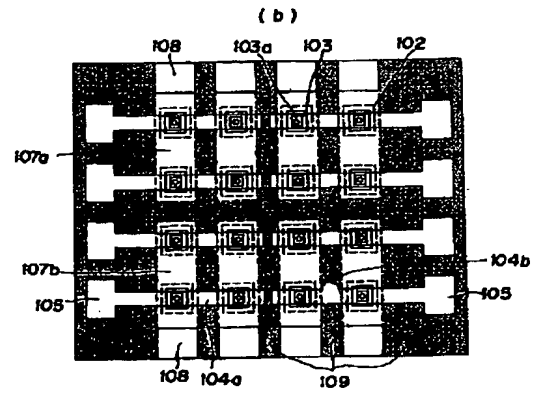
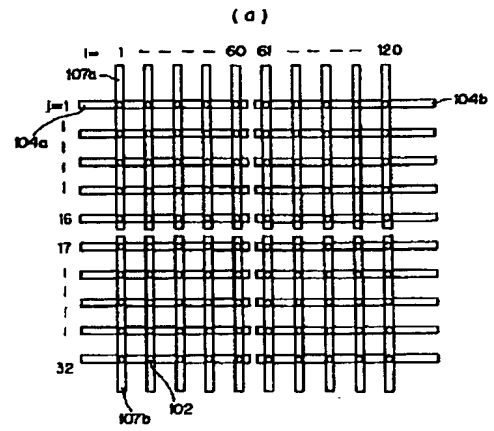
【図 11】



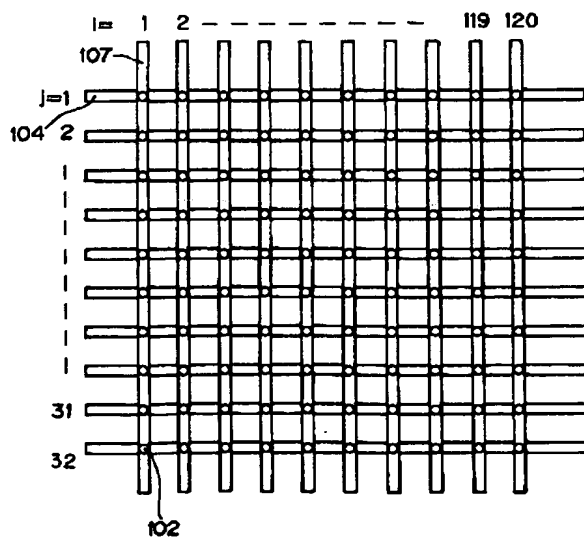
【図 1】



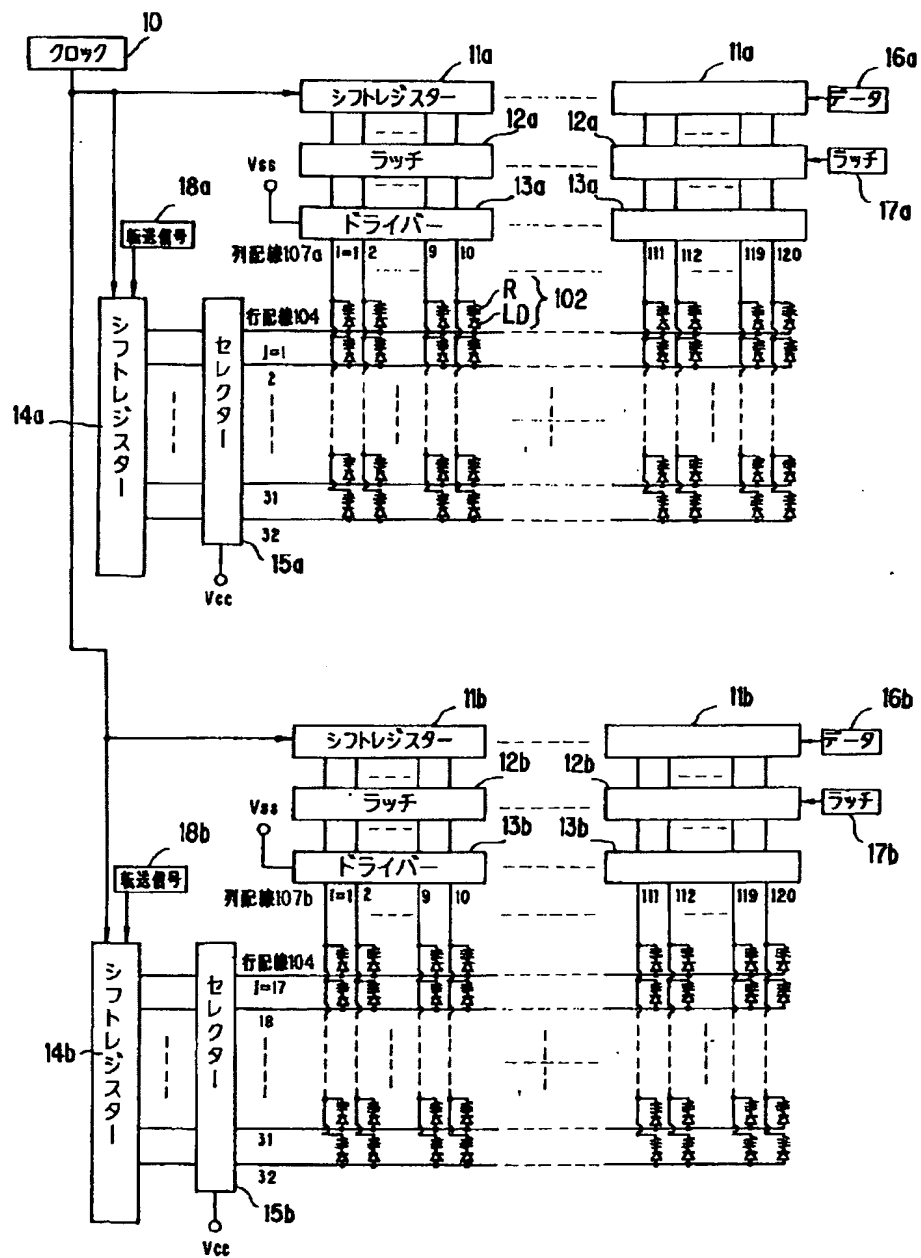
【図 6】



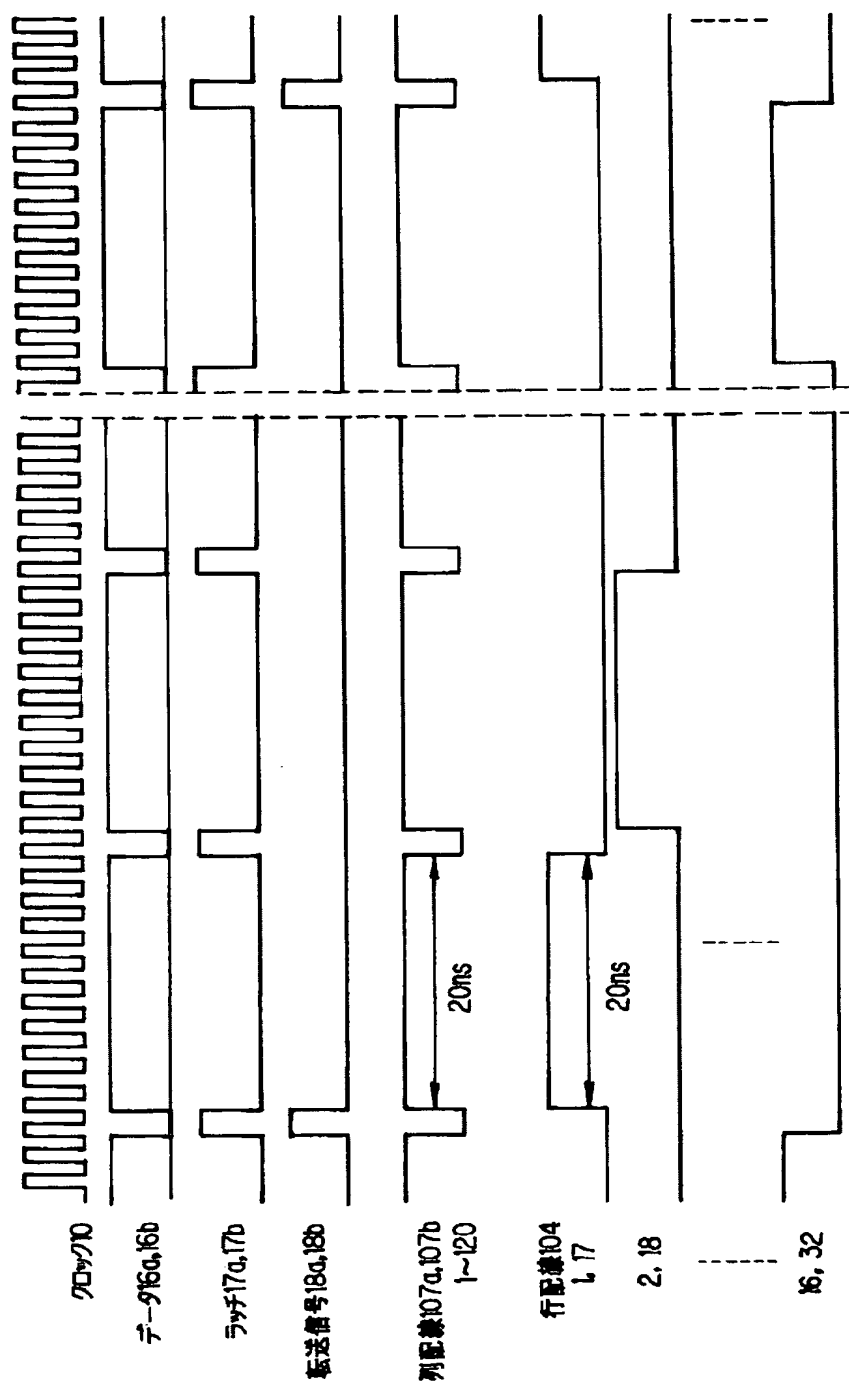
【図 12】



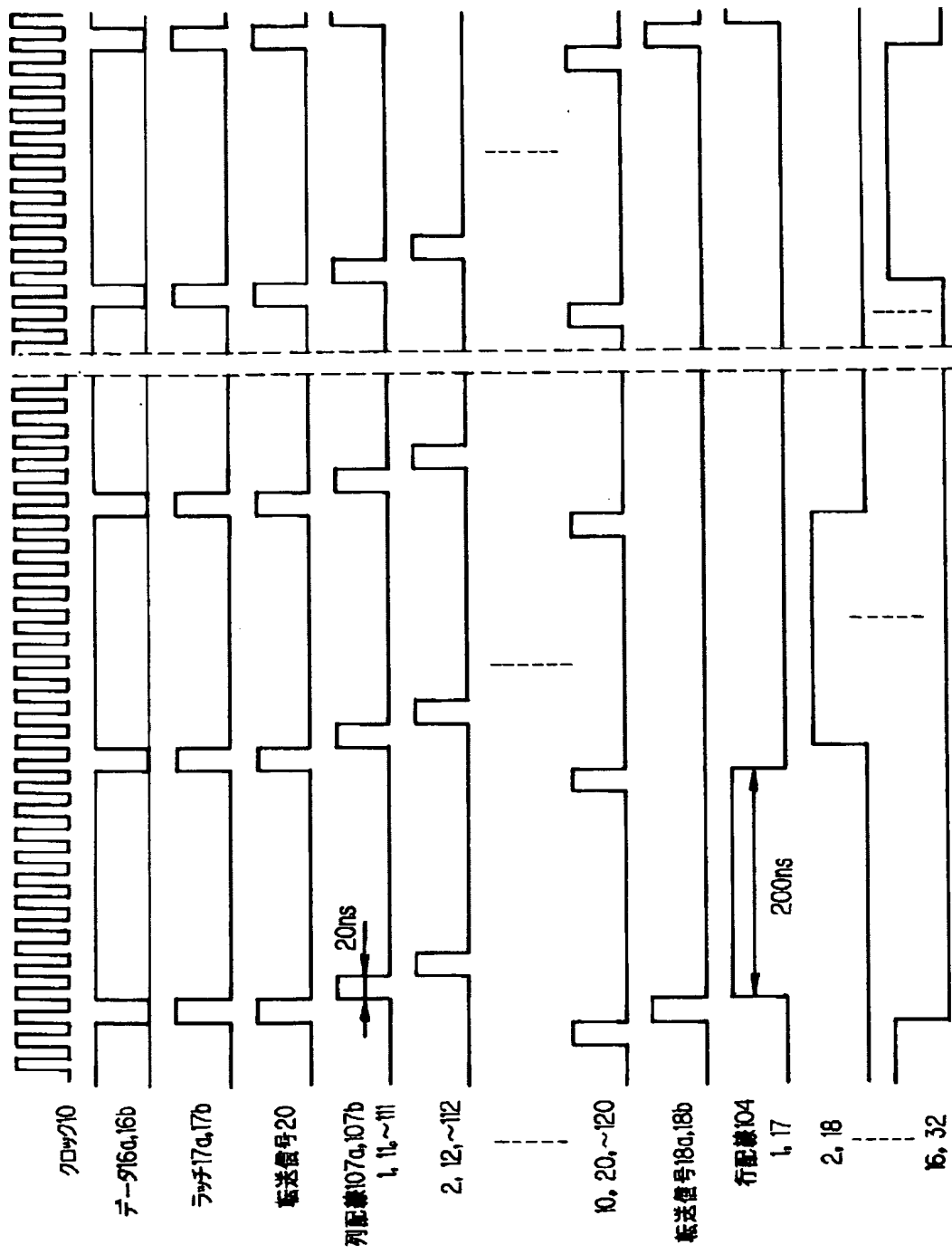
【図 2】



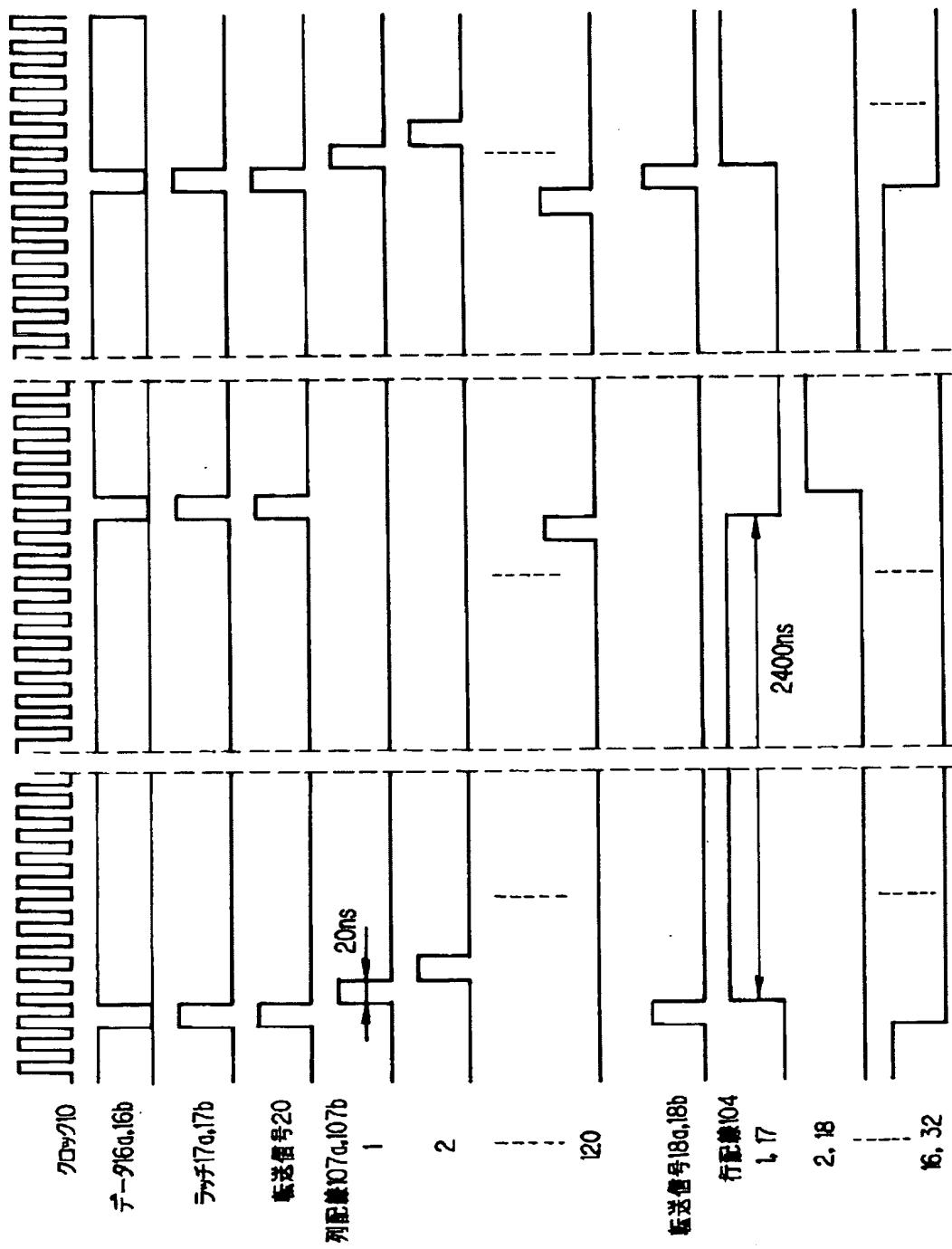
【図 3】



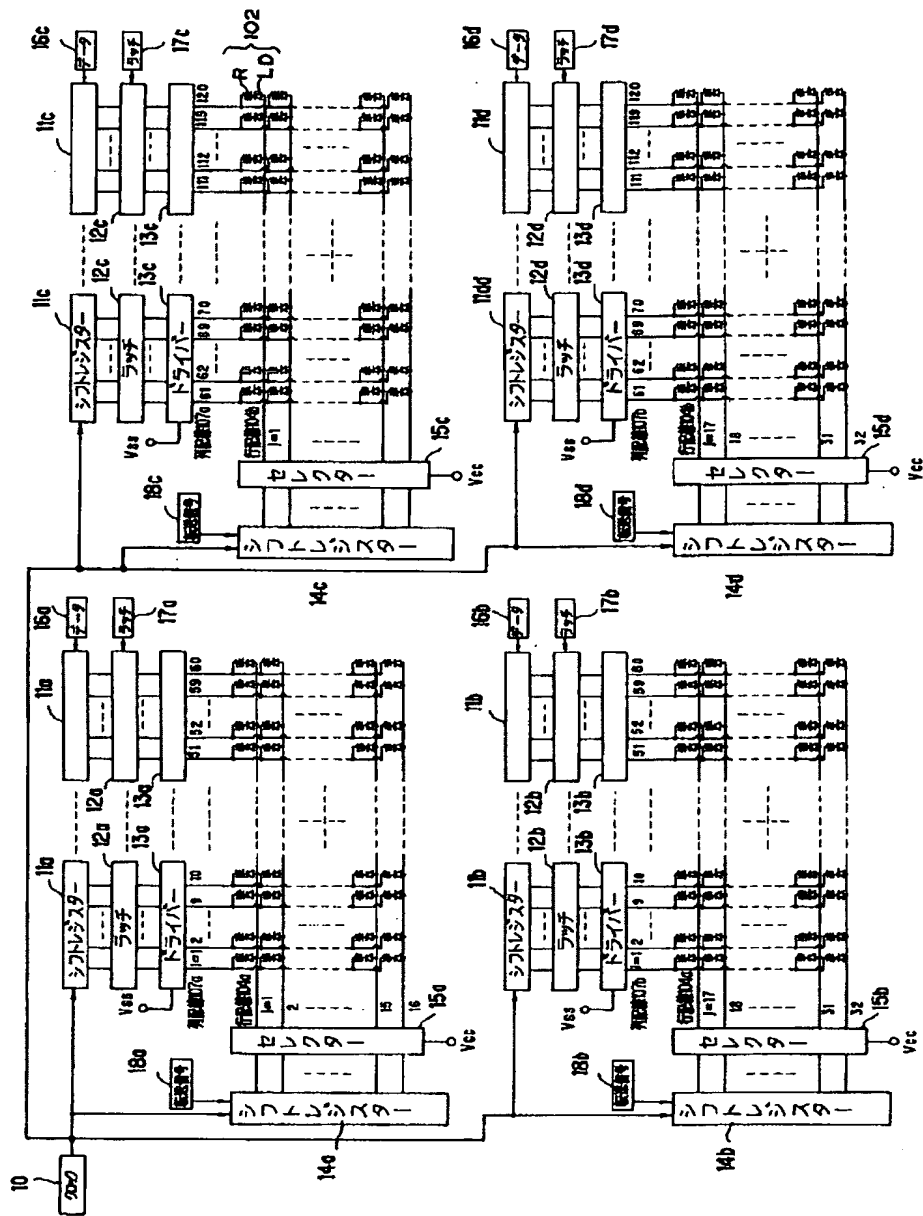
【図4】



【図 5】



【図7】



クロック

データ16a~16d

ラッチ17a~17d

進位信号18a~18d

列配線107a,107b  
1~120

20ns

行配線104a 1,17  
行配線104b 9,25  
行配線104a 2,18  
行配線104b 10,26

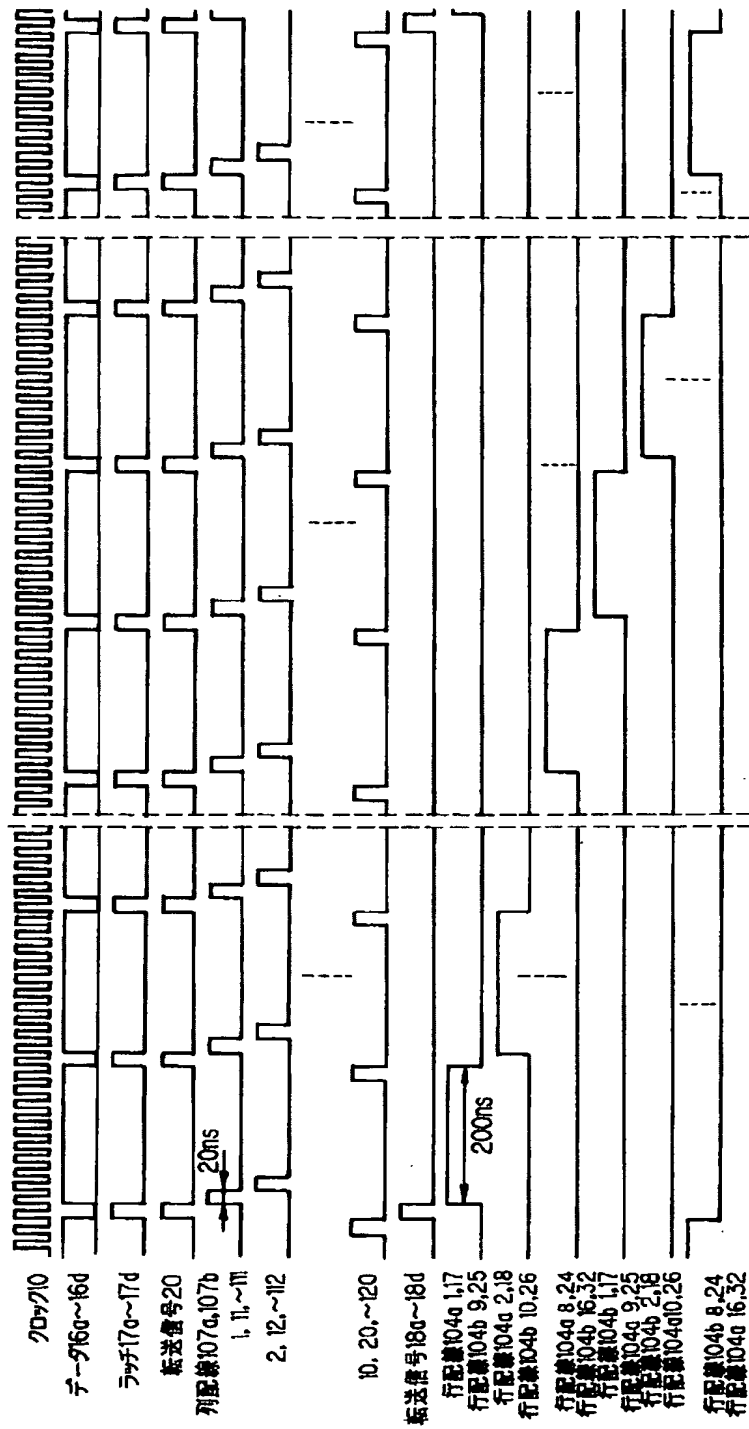
行配線104a 8,24  
行配線104b 16,32

行配線104b 1,17  
行配線104a 9,25  
行配線104b 2,18  
行配線104a 10,26

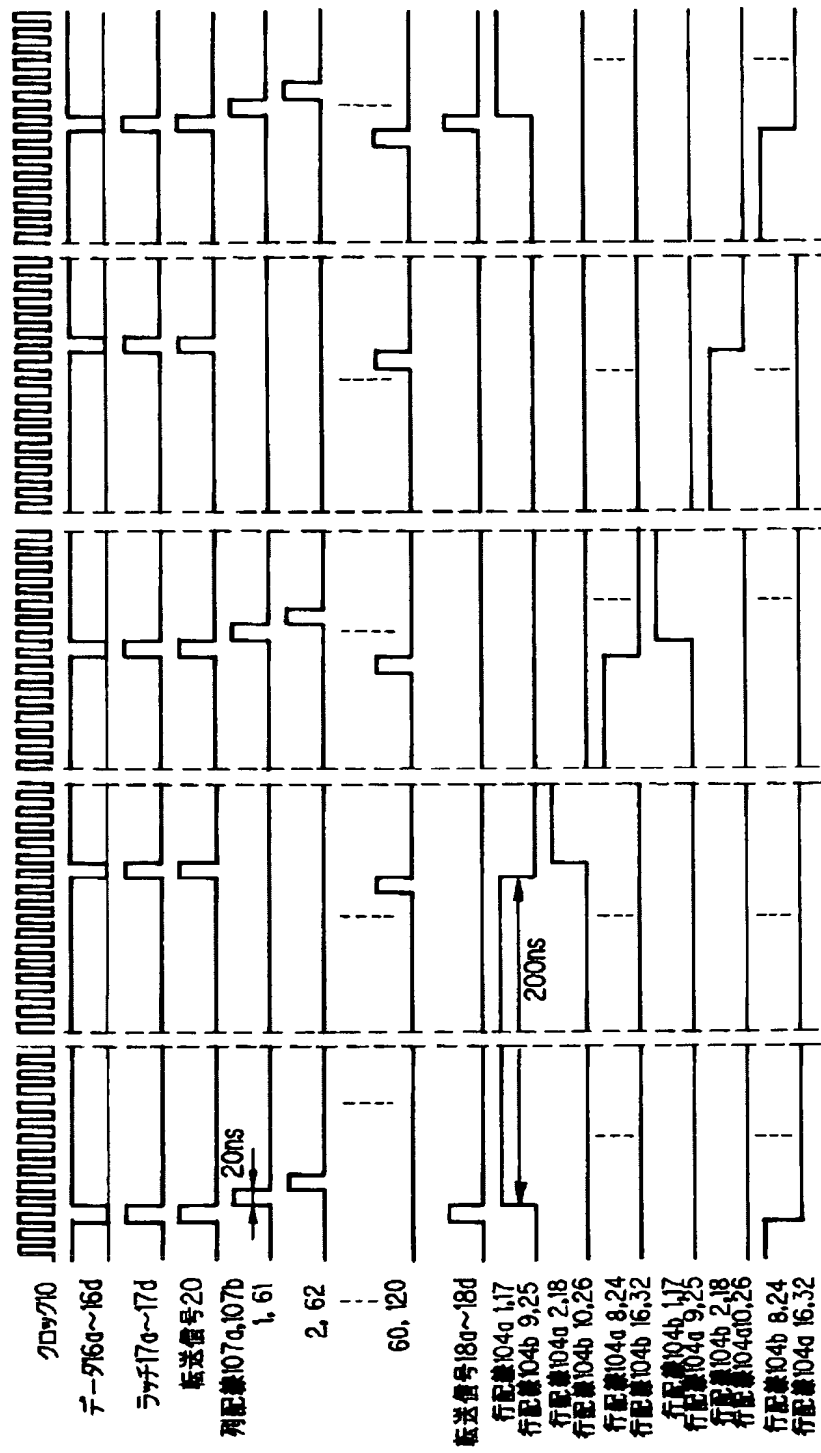
行配線104b 8,24  
行配線104a 16,32



【図 9】

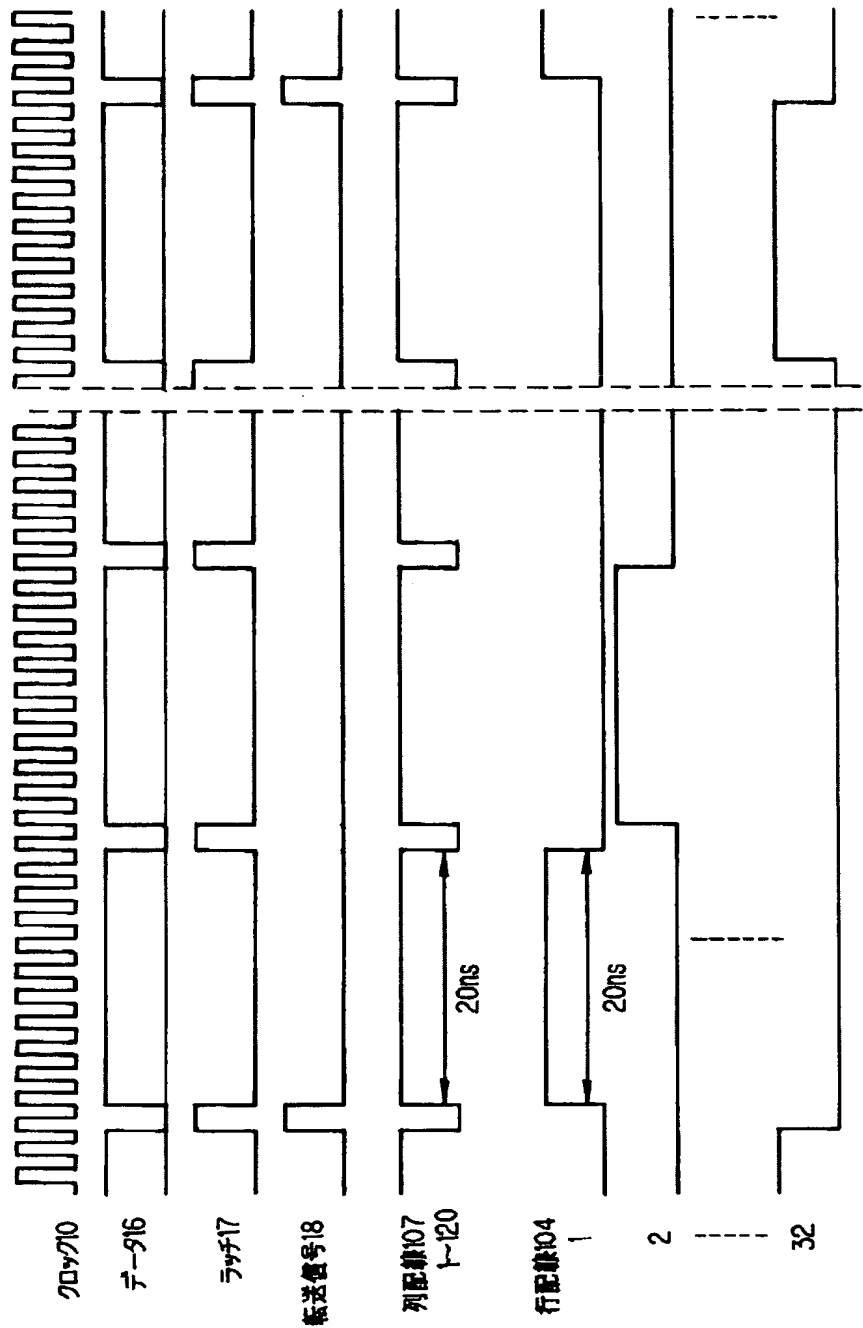


【図 10】

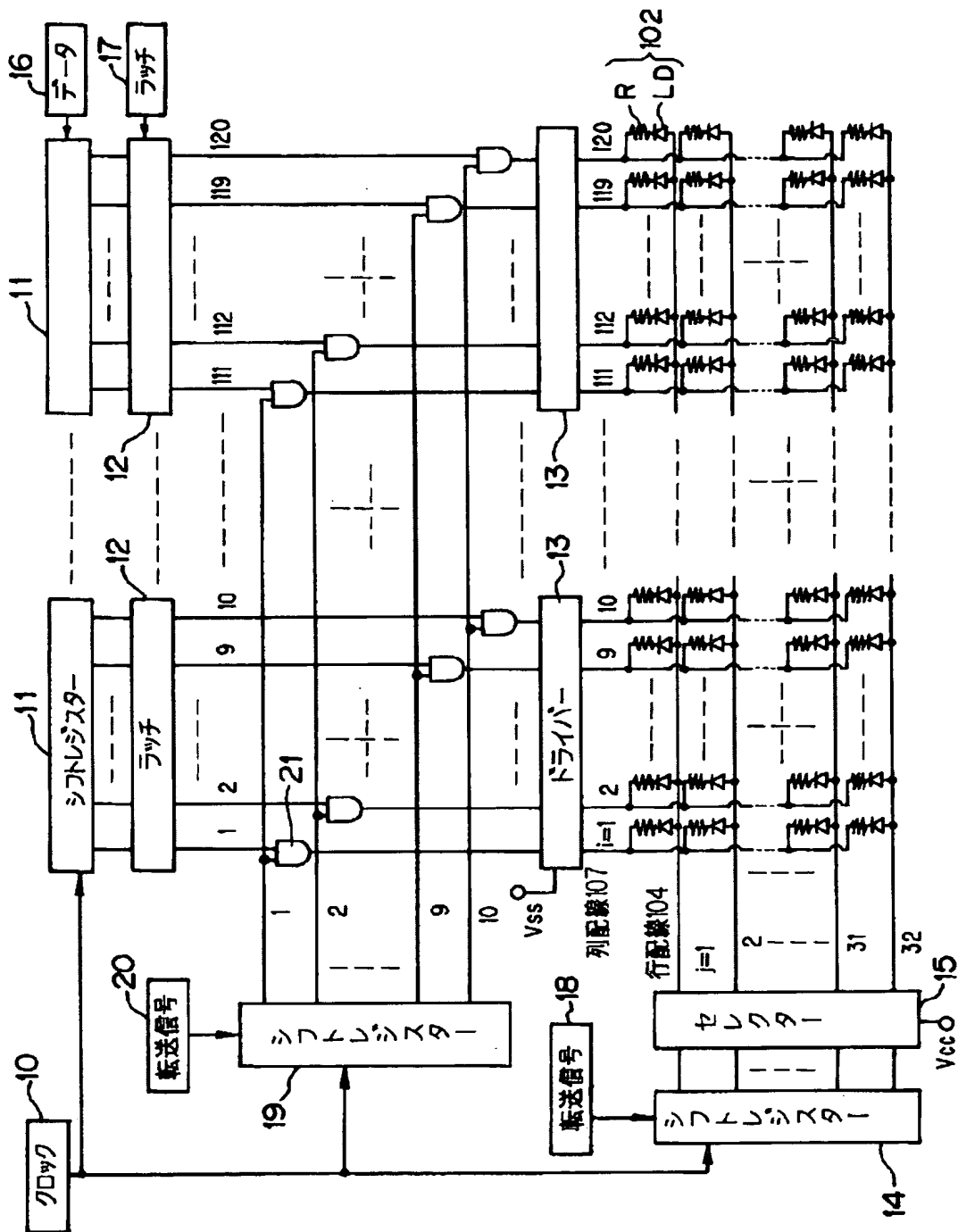


[illegible]

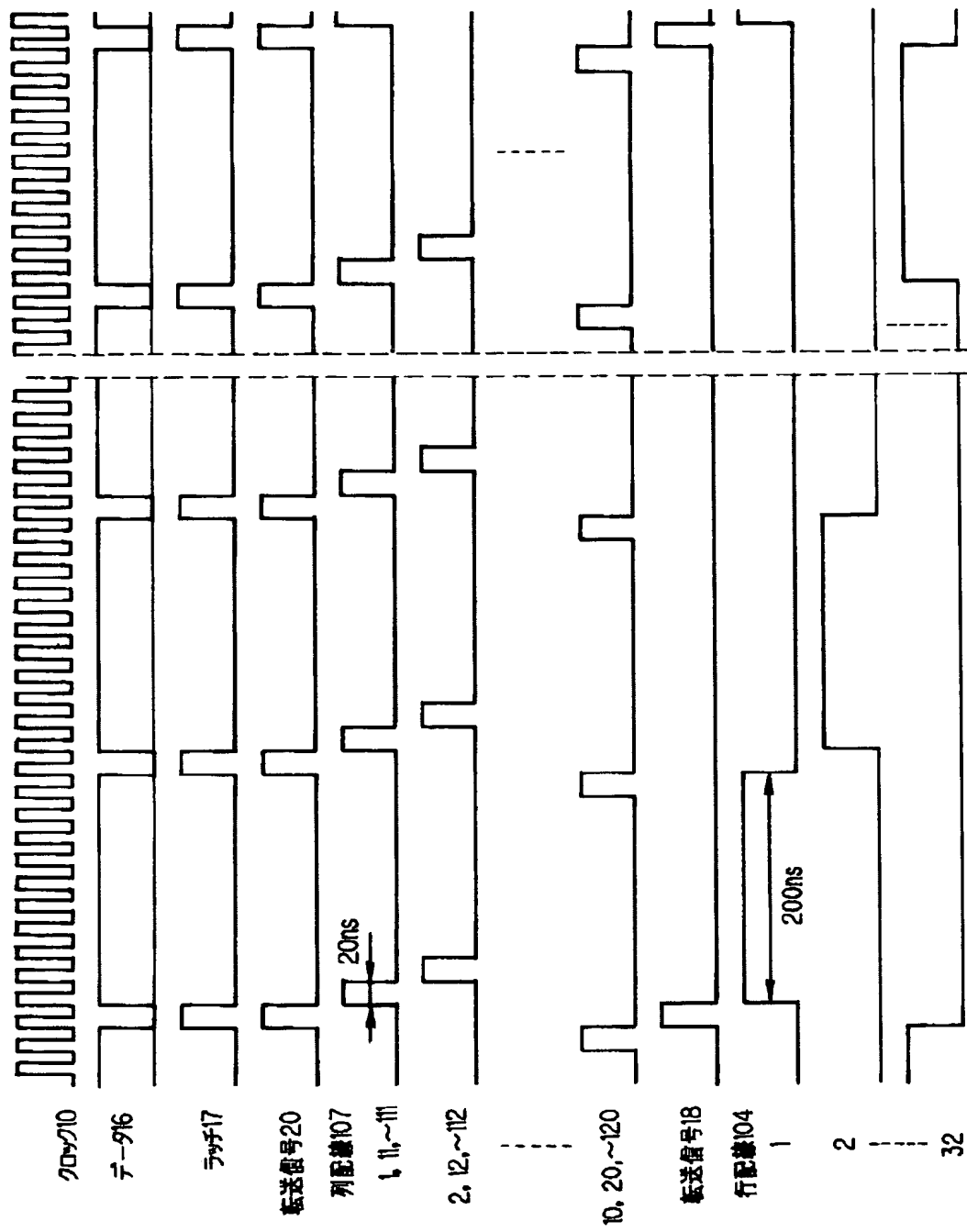
【図14】



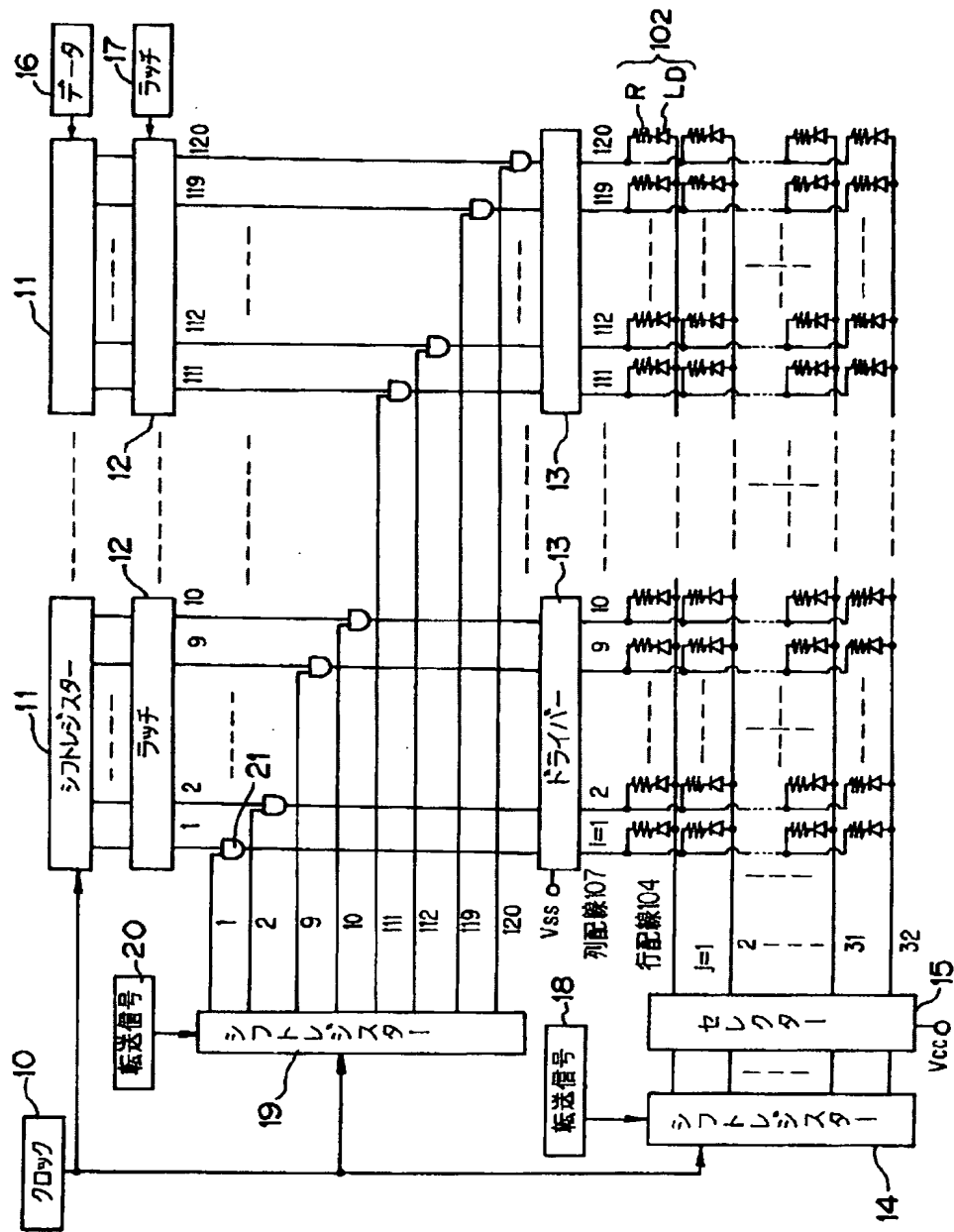
【図15】



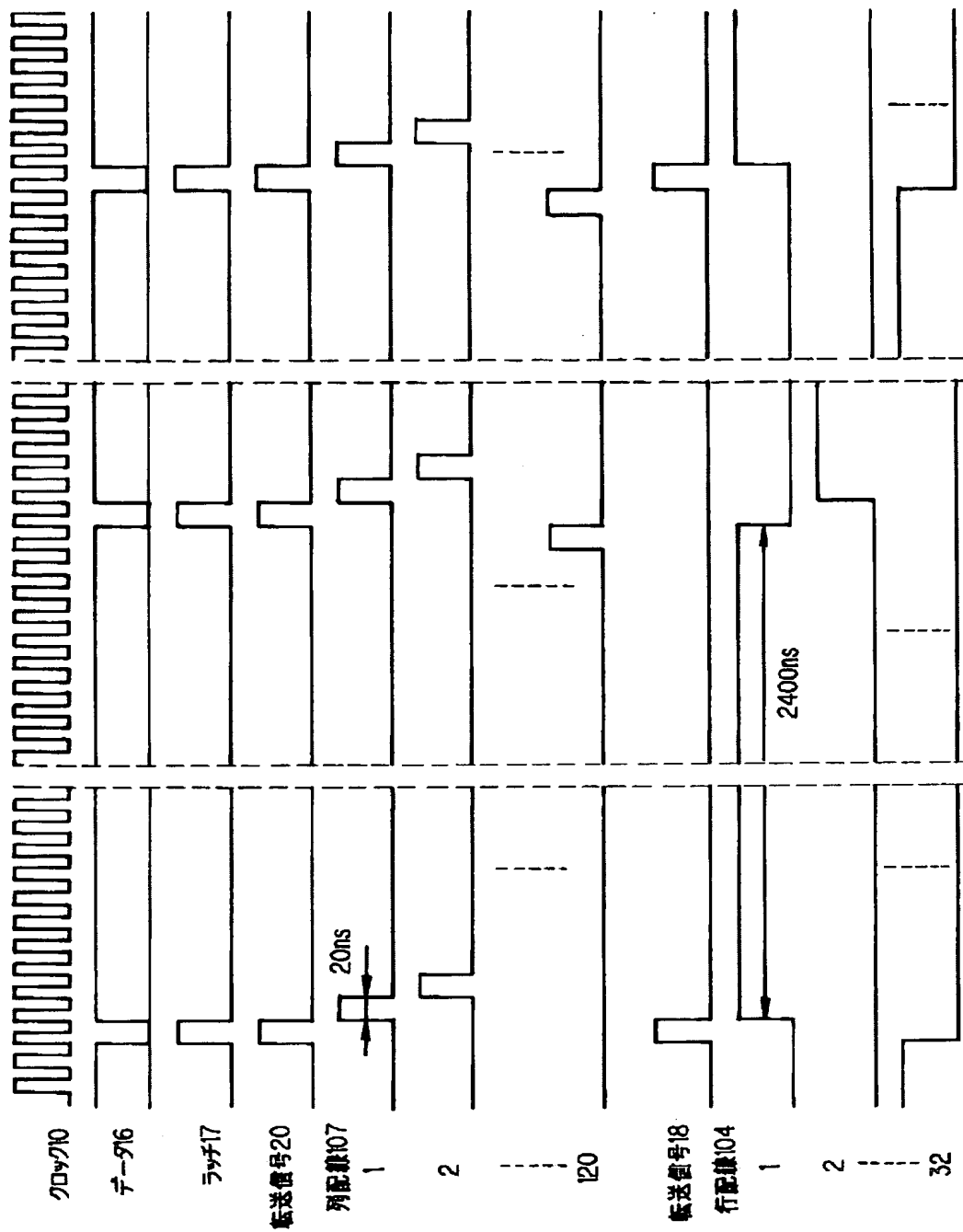
【図 16】



【図 17】



【図18】



フロントページの続き

(72) 発明者 坂本 朗  
 神奈川県海老名市本郷2274番地 富士ゼロ  
 ックス株式会社海老名事業所内